



#### 【特許請求の範囲】

【請求項1】複数のブロックにインターリーブされているサブコードデータを、メモリ上のアドレスを指定してデインターリーブを開始するに際し、前記複数のブロックのうち、書き込まれるメモリのアドレスの値から不要なサブコードデータを割り出し、前記メモリ上への書き込みを禁止するようにしたことを特徴とするサブコードデータ処理装置。

【請求項2】複数のブロックにインターリーブされているサブコードデータを、メモリ上のアドレスを指定してデインターリーブを開始するに際し、前記複数のブロックのうち、不要なサブコードデータが含まれることが予め解っている、デインターリーブを開始してから所定数のブロックを検出するとともに、前記所定数のブロックのサブコードデータをデインターリーブする時に、書き込まれるメモリのアドレスの値から不要なサブコードデータを割り出し、前記メモリ上への書き込みを禁止するようにしたことを特徴とするサブコードデータ処理装置。

#### 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、CD-ROMから読み出されるインターリーブされたサブコードデータをデインターリーブするためのサブコードデータ処理装置に関するものである。

【0002】

【従来の技術】近年、高密度、高品質のデジタル記憶装置のCD-ROMは急速に普及してきおり、CD-ROM装置は高速化が要求されるようになってきている。

【0003】以下に従来のサブコードデータ処理装置について説明する。図5は従来のサブコードデータ処理装置を示すものである。図5において、51は記録媒体から読み取ったデータをROMデータとサブコードデータに分割するCIRC-IC、52はインターリーブされているサブコードデータを取り込み、デインターリーブ処理を施した後、メモリインターフェース53を介してメモリ54に書き込むサブコードデータ処理装置、53はサブコードデータ処理装置52で処理を施したデータをメモリ54に書き込むメモリインターフェース、54はサブコードデータ処理装置52で処理を施したサブコードデータを格納するメモリである。

【0004】サブコードデータ処理装置52のシフトクロック生成回路523は、CIRC-IC51から出力されるフレーム同期信号bに同期して、サブコードデータを取り込むためのシフトクロックfを生成する。

【0005】シリアルパラレル変換回路521は、CIRC-IC51からシフトクロックfに同期して、シリアル出力されるサブコードデータaを8ビットパラレルデータeに変換し、FIFO522に出力する。

【0006】FIFO522は、シリアルパラレル変換

回路521から出力されるサブコードデータeを保管し、メモリ54への書き込み要求信号jを出力する。その後、メモリへの書き込みが許可されるとメモリインターフェース53を介してメモリ54に書き込む。

【0007】同期検出回路524は、CIRC-IC51から出力されるブロック同期信号cを取り込み、内部の同期信号を生成する。

【0008】アドレス生成回路525は、サブコードデータ処理装置52がメモリインターフェース53に書き込みを要求をし、メモリインターフェース53がメモリへの書き込み許可信号dを出力すると、メモリインターフェース53を介してメモリ54に書き込まれるため、次のサブコードデータの書き込みのためアドレスhを変化させる。

【0009】メモリインターフェース53はFIFO522からサブコードデータk、アドレス生成回路525から、このサブコードデータkをメモリ54に格納するアドレスhを受け取り、メモリ54に書き込みを行う。

【0010】図3はサブコードデータのフォーマットを示した図である。サブコードデータブロックは98フレームで構成されており、最初2フレームはブロック同期信号で、残り96フレームには1フレーム当たりサブコードP～Wデータ8ビットのデータが格納されている。このサブコードブロックについて、サブコードP、Qデータはインターリーブの施されていないデータであるが、サブコードR～Wデータは、同期を除く96フレームに対して24フレーム単位（以後1バックと呼ぶ）で、インターリーブが図4に示すように最大8バック離れた場所に格納される。従って、1ブロック0000～0095フレームの完全なサブコードデータをメモリに取り込むためには少なくとも0000～0288フレームまでの3サブコードブロックのデータを取り込まなければならない構成になっている。

【0011】

【発明が解決しようとする課題】しかしながら上記従来の構成では、デインターリーブを施しながらサブコードデータの取り込みを開始して、3サブコードブロックの取り込みを完了した時、メモリ54に取り込まれたサブコードP～Wデータ中で必要なデータは、最後の1ブロックだけで、最初の2ブロックは96バイトそろっていない不完全なデータができてしまう。すなわち、この2ブロックには、取り込みを開始すべきブロックより前の位置のサブコードR～Wデータも含まれており、これらは不要なものである。

【0012】このためメモリ54のデータを連続して転送しようとした場合、不要なサブコードデータが含まれているため、サブコードデータ処理装置を制御する制御マイコンは不要なサブコードデータを転送しないように分割転送処理をしなくてはならず、制御マイコンの処理時間が多くかかるという問題を有していた。また、メモ

り空間に不完全なサブコードデータが存在し、メモリの使用効率が悪いという問題点も有していた。

【0013】本発明は、上記従来の問題点を解決するためのもので、サブコードデータ取り込み開始時のデインターリーブによって発生する不要なサブコードデータのメモリ54への書き込みを禁止する事で、制御マイコンの負担を軽減し、効率よくメモリを使用する事のできるサブコードデータ処理装置を提供することを目的とする。

【0014】

【課題を解決するための手段】この目的を達成するために本発明のサブコードデータ処理装置は、記録媒体から読み取ったデータに所定のデジタル信号処理を施し、サブコードデータを出力するCIRC-ICから、サブコードデータを読み込み、所定の信号処理を施した後、メモリインターフェースブロックを介してメモリブロックに書き込むサブコードデータ処理装置において、複数のブロックにインターリーブされているサブコードデータを、メモリ上のアドレスを指定してデインターリーブを開始するに際し、前記複数のブロックのうち、メモリのアドレスから不要なサブコードデータを割り出し、前記メモリへの書き込みを禁止する構成を有している。

【0015】

【作用】この構成によって、サブコードデータ処理装置を制御する制御マイコンは、不要なサブコードデータのあるメモリの管理をする必要がなくなり、連続してデータ転送処理ができるため、制御マイコンの負担軽減できる。また、不要なメモリ領域がなくなるため高効率にメモリを使用することができる。

【0016】

【実施例】以下に本発明の一実施例について図面を参照しながら説明する。

【0017】図1において、図5に示す従来の構成と異なる点は、不要なサブコードデータを書き込むアドレスを検出し、メモリ14への書き込みを禁止する書き込み制御回路126を付加したことである。

【0018】図2は不要なサブコードデータが格納されるアドレスを検出するシステムを詳細に示した図で、201はアドレスカウンタ、202はデインターリーブ回路、203はインターリーブされていないサブコードP、Qデータのアドレスか、インターリーブされているサブコードR～Wデータのアドレスかを選択するセレクタ、204、205、206はDFF、207及び、208はAND、209はサブコードデータ取り込み開始に際し、1ブロック目の不要なサブコードデータのアドレスを検出する第1ブロック検出回路、210は2ブロック目の不要なサブコードデータのアドレスを検出する第2ブロック検出回路、211はORである。

【0019】以上のように構成したサブコードデータ処理装置について、その動作を説明する。まず、サブコー

ドデータ処理装置12は、CIRC-IC11から出力されるサブコードフレーム同期信号bをシフトクロック生成回路123に取り込み、サブコードデータを取り込むためにシフトクロックfを生成する。このシフトクロックfはCIRC-IC11に出力し、CIRC-IC11は、サブコードP～Wデータをシフトクロックfに同期して、サブコードPデータから順にサブコードWデータまで出力する。

【0020】サブコードデータ処理装置12は、CIRC-IC11からシリアル出力されるサブコードデータaを、シリアルパラレル変換回路121に取り込み、8ビットパラレルデータに変換し、FIFO122に出力する。

【0021】シリアルパラレル変換回路121から出力されるパラレルデータaは、インターリーブされているため、P、QデータとR～Wデータではメモリ14に格納するアドレスが異なる。このため、FIFO122は、P、Qデータ及びR～Wデータを格納しようとするアドレスのデータをメモリ14から読み出し、P、Qデータ及びR～Wデータを格納するビットだけをそれぞれ書き換える。そして、これらのデータをメモリ14に書き込むために、インターラプト信号jをメモリインターフェースブロック13に出力する。

【0022】メモリインターフェースブロック13は、書き込み要求を受け付けるとFIFO122からはデータk、アドレス生成回路125からはサブコードデータを格納するアドレスhを受け取り、メモリ14に書き込む。

【0023】同期検出回路124は、CIRC-IC11から出力されるブロック同期信号cを検出し、サブコードデータ処理装置内部の同期信号gを生成する。

【0024】アドレス生成回路125は、サブコードデータkをメモリに格納するアドレスhを、メモリインターフェース13からの書き込み許可信号dを基に生成している。すなわち、図2に示すように、アドレスカウンタ201でP、Qデータのアドレスを生成し、P、Qデータのアドレスをデインターリーブ回路202に入力し、R～Wデータのアドレスを生成する。生成した2種類のアドレスはセレクタ203によって選択されメモリインターフェース13へ出力される。デインターリーブ回路202が生成したアドレスlは書き込み制御回路126に入力される。

【0025】書き込み制御回路126は、サブコードデータ取り込み開始アドレスから2ブロック内の不要なサブコードデータ領域を作るアドレスを監視し、FIFO122に書き込み禁止信号iを出力する。FIFO122は書き込み禁止信号iが入力されると、メモリ14へのインターラプト信号jを出力しないことにより書き込みを禁止する。

【0026】この書き込み禁止制御を図2を用いて説明

する。まず、DFF204、205、206をリセットしておき、サブコードデータ取り込み開始のブロック同期信号cでDFF204を“H”にし、AND207に inputsする。書き込み制御回路126は、AND207の出力が“H”になることで1ブロック目を取り込んでいることを認識する。

【0027】AND207の出力は第1ブロック検出回路209に inputsされ、第1ブロック検出回路209は、アドレス生成回路125から inputsされるアドレス1の値から、1ブロック目の取り込みに含まれる不要なサブコードデータのメモリへの書き込みを禁止する。すなわち、アドレス生成回路125から inputsされるアドレス1の値が、メモリ14への取り込み開始アドレスから96（同期信号を除く1サブコードブロック）未満の時には、書き込み禁止信号m（書き込み禁止で“H”）をOR211に outputsする。

【0028】次のブロック同期信号cが inputsされると、DFF205を“H”にし、AND208に inputsする。書き込み制御回路126はAND208の出力が“H”になることで、2ブロック目を取り込んでいることを認識する。AND208の出力は第2ブロック検出回路210に inputsされ、第2ブロック検出回路210は、アドレス生成回路125から inputsされるアドレス1の値から、2ブロック目の取り込みに含まれる不要なサブコードデータのメモリへの書き込みを禁止する。すなわち、アドレス生成回路125から inputsされるアドレス1の値が、メモリ14への取り込み開始アドレス+96から取り込み開始アドレス+192未満の時には、書き込み禁止信号n（書き込み禁止で“H”）をOR211に outputsする。

【0029】書き込み禁止信号iは、書き込み禁止信号mとnを inputsとするOR211の出力で、書き込み禁止信号iが“H”の時、FIFO122のインターラプト信号jは outputsしないように制御され、メモリ14に不完全なサブコードデータは取り込まれない。

【0030】

【発明の効果】以上のように本発明は、サブコードデータに施されたインターリーブにより取り込み開始のいくつかのブロックにできるサブコードデータの不要なデータ領域をなくすことによって、必要なデータをメモリ領域に連続して取り込むことができるようになり、制御マイコンは不要なサブコードデータのあるメモリ領域を監視することなく連続転送する事が可能となり、また、メモリの使用効率を上げることのできる優れたサブコードデータ処理装置を実現できるものである。

【0031】また特に上記実施例では、不要なサブコードデータが含まれることが予め解っている、デインターリーブを開始してから所定数のブロックを検出してから、書き込まれるメモリのアドレスの値から不要なサブコードデータを割り出すようにしているので、処理がより効率的となる。

#### 【図面の簡単な説明】

【図1】本発明のサブコードデータ処理装置の全体構成を示すブロック図

【図2】本発明のサブコードデータ処理装置の不完全データ書き込み禁止制御の詳細なブロック図

【図3】サブコードデータフォーマットを示す図

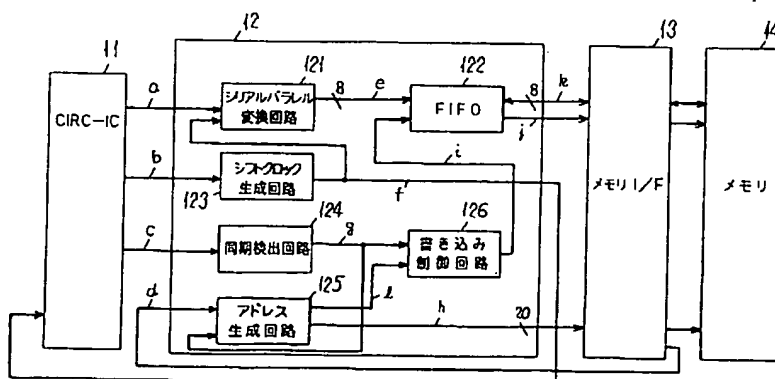
【図4】デインターリーブシーケンスを示す図

【図5】従来のサブコードデータ処理装置の全体構成を示すブロック図

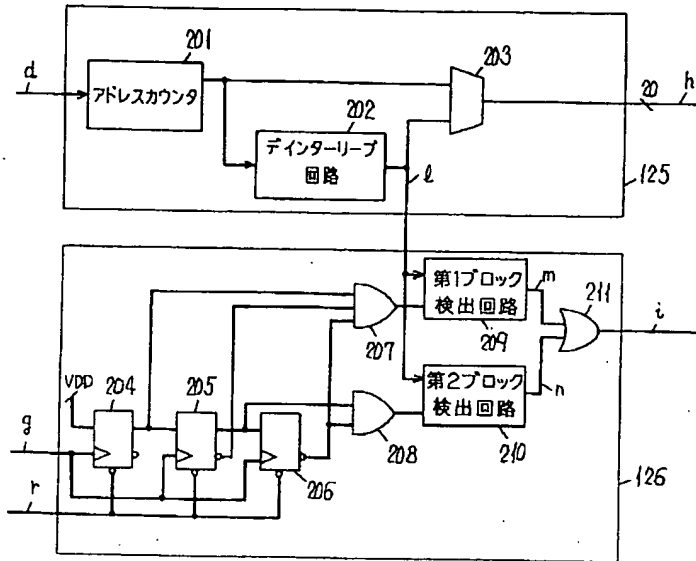
#### 【符号の説明】

- 11、51 CIRC-IC
- 12、52 サブコードデータ処理装置
- 13、53 メモリインターフェース
- 14、54 メモリ
- 121、521 シリアルパラレル変換回路
- 122、522 FIFO
- 123、523 シフトクロック生成回路
- 124、524 同期検出回路
- 125、525 アドレス生成回路
- 126 書き込み制御回路

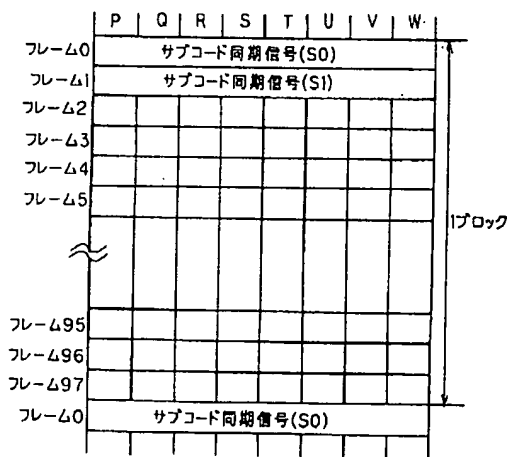
【図1】



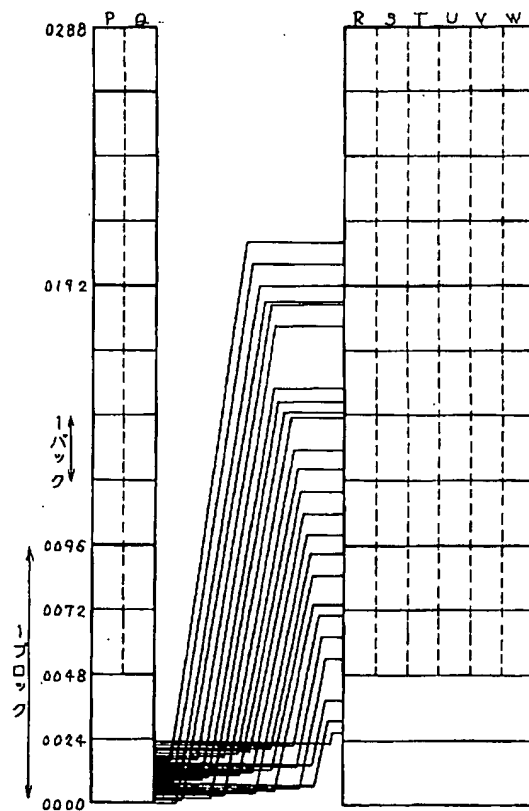
【図2】



【図3】



【図4】



【図5】

